

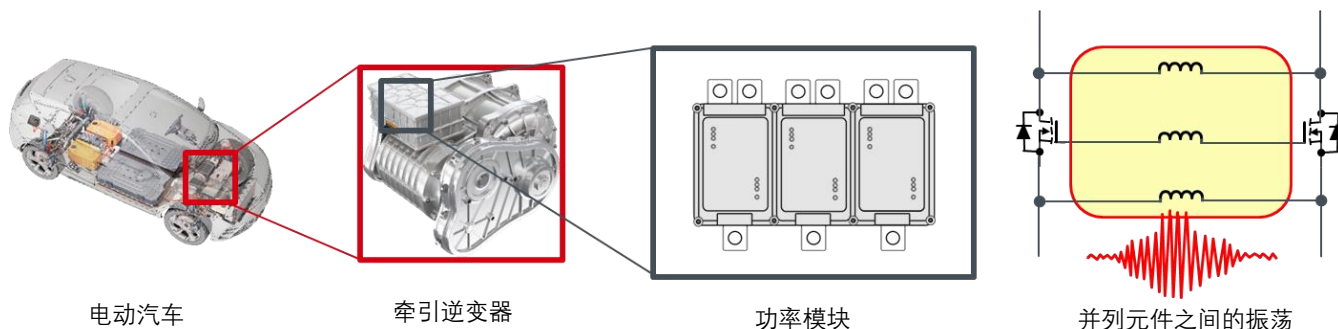
SiC MOSFET Bare Die 系列

SiC 模块并联驱动振荡的抑制方法

SiC MOSFET 与传统 Si 器件相比，具有高电压、大电流、高速驱动、低损耗、高温稳定等诸多优点，是新一代器件。近年来，利用这些优异特性，作为向大功率发展的电动汽车 (EV) 的牵引逆变器电路，并联连接多个 SiC MOSFET 元件的功率模块被使用的情况越来越多。

另一方面，由于并联使用这样的高速元件，有时会发生元件间的并联驱动振荡（以下简称振荡）。发生振荡的话元件有破坏的危险，因此抑制对策是市场的重要课题之一。

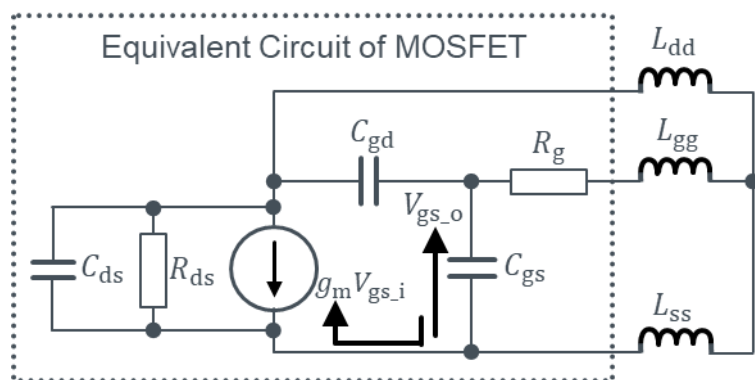
本应用笔记将介绍有效抑制功率模块振荡的方法。



1. 基础理论

1-1. 振荡发生的机制

并联开关设备的稳定性分析可以使用 Fig.1 所示的等效电路进行评估 [1]。这里， L_{dd} 、 L_{gg} 、 L_{ss} 是含有互电感的寄生电感成分 [2]。另外， R_{ds} 成为开关瞬态时的微分电阻。关于这个，使用 PLECS® 查询 V_{gs_i} 到 V_{gs_o} 的开环特性的话，可以得到 Fig.2 那样的 Bode 曲线图。从 Fig.2 可以看出， ω_{p2} 和 ω_z 相距较远，因此两者之间的相位小于 -180° 。根据奈奎斯特的稳定判别法，Gain 在 0dB 的时候相位在 -180° 以下的话有可能会发生振荡，这成为并联模块的振荡风险。



L_{dd} : Drain to Drain Inductance
 L_{gg} : Gate to Gate Inductance
 L_{ss} : Source to Source Inductance
 R_g : Gate Resistance
 R_{ds} : Drain – Source Resistance
 (Differential Resistance)
 C_{gd} : Gate – Drain Capacitance
 C_{gs} : Gate – Source Capacitance
 C_{ds} : Drain – Source Capacitance
 g_m : Transconductance

Fig.1 Equivalent Circuit of Parallel Oscillation

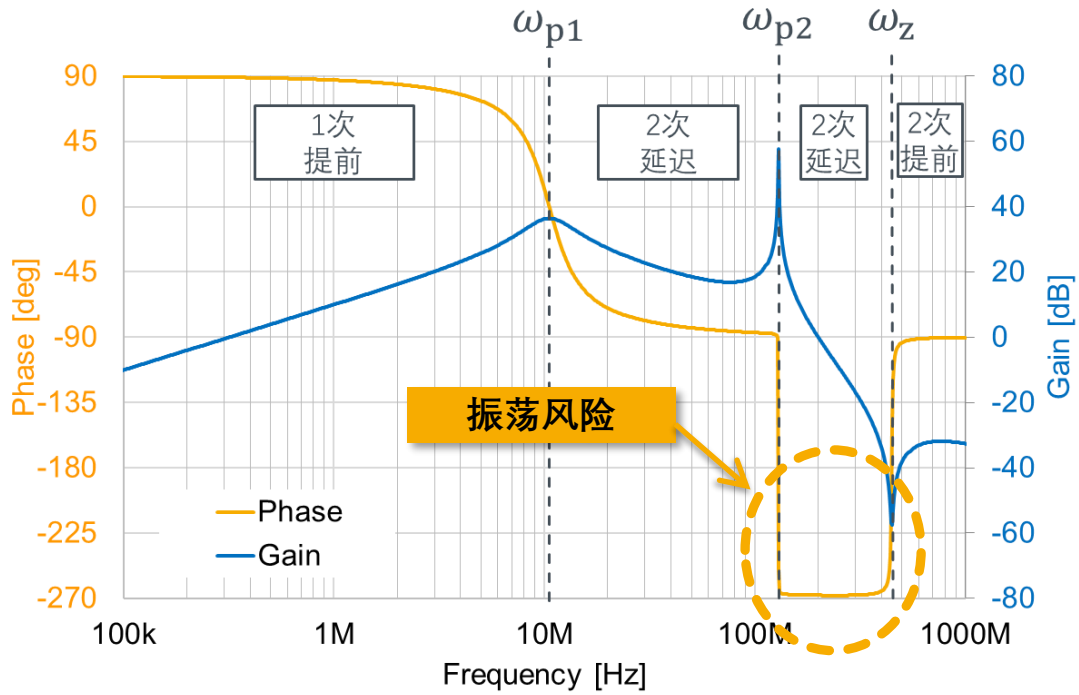


Fig.2 Simulated Bode Diagram of the Circuit shown in Fig.1

Fig.2 中的 Bode 图可以根据 ω_{p1} , ω_{p2} , ω_z 的各个极点和零点, 从低频侧依次划分为一阶提前区、二阶延迟区、二阶延迟区和二阶提前区。因此, 这个系统中的一阶传递函数 $G(s)$ 可以用以下的公式来表达。

$$G(s) = \frac{sK \cdot \omega_{p1}^2 \omega_{p2}^2}{\omega_z^2} \cdot \frac{(s^2 + 2\zeta_z \omega_z s + \omega_z^2)}{(s^2 + 2\zeta_{p1} \omega_{p1} s + \omega_{p1}^2)(s^2 + 2\zeta_{p2} \omega_{p2} s + \omega_{p2}^2)}$$

其中 K 为微分系数, ζ_{p1} , ζ_{p2} , ζ_z 分别为 ω_{p1} , ω_{p2} , ω_z 处的阻尼系数, 各参数可近似表示如下[3]。

请注意, 本文中 ω_{p2} 和 ζ_{p2} 中含有的运算符“//”表示并列, 其定义为 $A//B = (A \cdot B)/(A+B)$ 。

$$K = g_m \cdot L_{ss}$$

$$\omega_{p1} = \frac{1}{\sqrt{(L_{ss} + L_{gg})C_{gs}}}$$

$$\zeta_{p1} = \frac{R_g}{2} \sqrt{\frac{C_{gs}}{L_{ss} + L_{gg}}}$$

$$\omega_{p2} = \frac{1}{\sqrt{(L_{dd} + L_{gg} // L_{ss})C_{ds}}}$$

$$\zeta_{p2} = \frac{1}{2R_{ds}} \sqrt{\frac{(L_{dd} + L_{gg} // L_{ss})}{C_{ds}}}$$

$$\omega_z = \frac{1}{\sqrt{(L_{dd} + L_{gg})C_{gd}}}$$

$$\zeta_z = \frac{R_g}{2} \sqrt{\frac{C_{gd}}{L_{dd} + L_{gg}}}$$

1-2. 振荡抑制的想法（改善相位差）

为了抑制振荡，“增加相位余度，降低增益”就可以了。但是在并联模块的情况下，由于降低增益非常困难，作为根本对策“增加相位余量度”是最有效的。

Fig.3 解释了难以降低增益的原因：在二阶延迟系统中，当 ζ_{p2} 的值小于 $1/\sqrt{2}$ 时，会出现增益峰值，其大小由 ζ_{p2} 的值决定（ ζ_{p2} 越小，增益峰值越陡、越大）。此外，如 1-1 所述， ζ_{p2} 中包含的 R_{ds} 是开关瞬态期间的差分电阻，因此具有数 k Ω 的较大值。由于 R_{ds} 较大， ζ_{p2} 与 $1/\sqrt{2}$ 相比非常小，因此增益峰值非常大。如上所述，由于增益峰值较大，很难降低增益，因此“增大相位裕量”是抑制振荡的有效方法

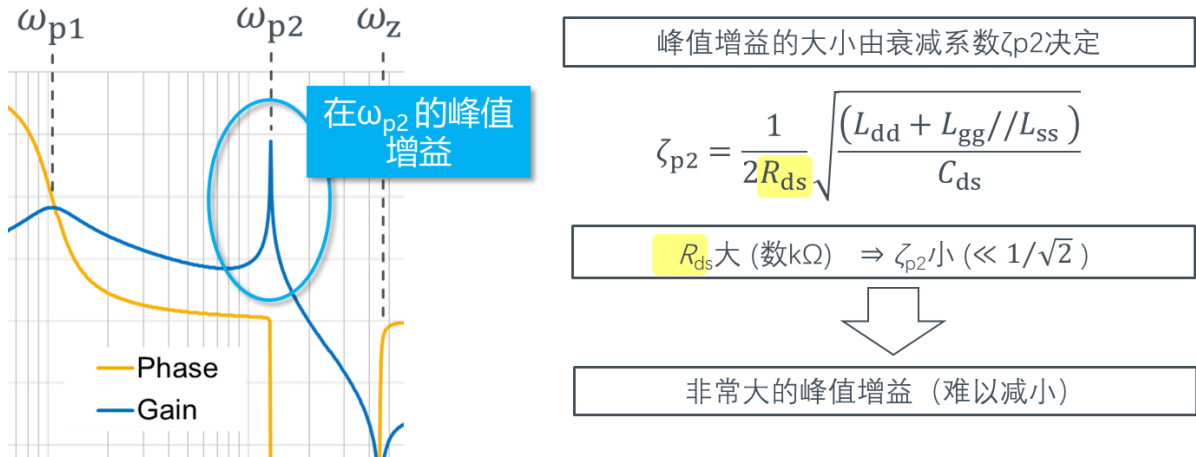


Fig.3 Explanation why it is hard to reduce the Gain.

那么，怎样才能增加相位裕量呢？正如 1-1 所说明的， ω_{p2} 和 ω_z 的距离分开的话相位会低于 -180° 。换句话说，如果把 ω_{p2} 和 ω_z 靠近的话，可以使相位裕量变大。一般的并列模块 $\omega_{p2} < \omega_z$ 且 $\omega_{p2}/\omega_z < 1$ ，因此“使 ω_{p2} 和 ω_z 接近，以增大相位裕量”也就是“使 ω_{p2}/ω_z 比增大，以接近 1”。

Fig.4 显示根据 ω_{p2}/ω_z 比的变化，相位特性变化的情况。如 Fig.4 所示， ω_{p2}/ω_z 比越大，相位裕量就越大，振荡抑制就变得可能。另外， $\omega_{p2}/\omega_z \geq 1$ 时，理论上不会产生振荡。

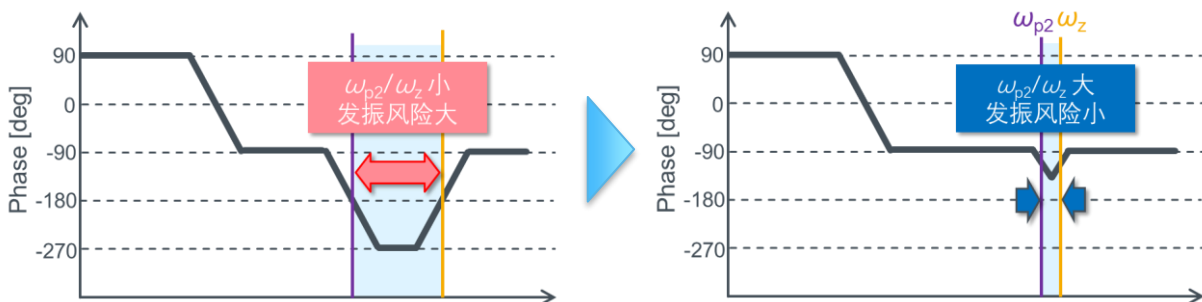


Fig.4 Phase Margin Improvement by ω_{p2}/ω_z Increasing

振荡的根本对策：增加相位裕量（增大 ω_{p2}/ω_z 比）

1-3. 影响相位裕量的实际参数

在 1-2 中, ω_{p2} 和 ω_z 的偏离程度 (ω_{p2}/ω_z 比) 对相位余量有很大影响。那么, 为了改变 ω_{p2}/ω_z 比, 具体应该改变哪个参数呢? 本章将详细解说影响 ω_{p2}/ω_z 比的实际参数。

正如 1-1 所说明的, ω_{p2} 和 ω_z 分别可以用以下的公式来表达。

$$\omega_{p2} = \frac{1}{\sqrt{(L_{dd} + L_{gg})C_{ds}}} \quad \omega_z = \frac{1}{\sqrt{(L_{dd} + L_{gg})C_{gd}}}$$

根据这些计算 ω_{p2}/ω_z 比, 可以得到以下关系式。

$$\frac{\omega_{p2}}{\omega_z} = \frac{C_{gd}}{C_{ds}} \times \left(\frac{\frac{L_{gg}}{L_{ss}}}{\frac{L_{dd}}{L_{ss}} + \frac{L_{dd}}{L_{gg}} + 1} + 1 \right)$$

根据前页 ω_{p2}/ω_z 比的关系式可知, 为了增大 ω_{p2}/ω_z 比以增加相位裕量, 只要将各参数设置为 Fig.5 所示的“ C_{gd} 和 L_{gg} 大, C_{ds} 与 L_{ss} 和 L_{dd} 小”即可。

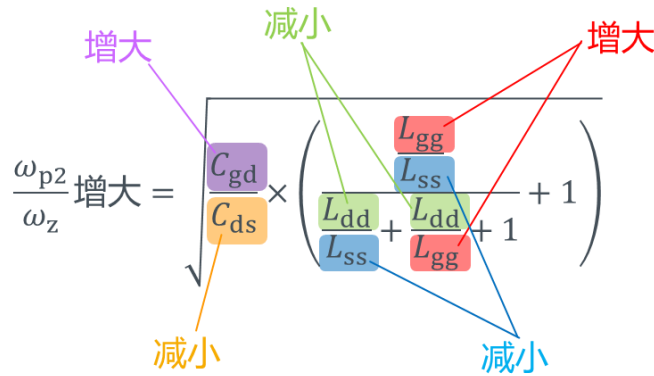


Fig.5 How to change the each parameters to increase ω_{p2}/ω_z ratio

但是, 在实际的模块中 L_{dd} 的 ω_{p2}/ω_z 比的影响和其他参数相比是非常小的。因此, 为了增加相位裕量, 调整 L_{dd} 以外的参数的方法是有效的。

提高相位裕量: C_{gd} 和 L_{gg} 大, C_{ds} 和 L_{ss} 小。

另外, C_{gd} 和 C_{ds} 是寄生在 MOSFET 元件上的容量成分, 所以现实上很难改变。因此, 抑制振荡对策中最重要的是 L_{gg} 和 L_{ss} 的设计, 也就是“模块布局设计”。

抑制振荡的对策中最重要的是“布局设计”

另外, 从相位裕量增加的观点来看, C_{gd} 越大越好, 不过, C_{gd} 越大, 作为其互斥事件, 开关损耗的增大和 Self Turn-on 的风险也变大, 所以平衡好的设计变得困难了。

2. 模块的寄生电感 L_{dd} , L_{gg} , L_{ss}

2-1. L_{dd} , L_{gg} , L_{ss} 的定义

在 Fig.6 中，表示模块中影响相位裕量 (ω_{p2}/ω_z 比) 的各寄生电感 (L_{dd} , L_{gg} , L_{ss}) 的定义。用一句话来概述， L_{dd} , L_{gg} , L_{ss} 是并联连接的元件的各端子之间存在的寄生电感。另外，Fig.1 是从中点看时的一侧，所以 Fig.1 中的 L_{dd} , L_{gg} , L_{ss} 各值是 Fig.6 的一半。使用 Fig.1 进行稳定性分析时，请注意这一点。

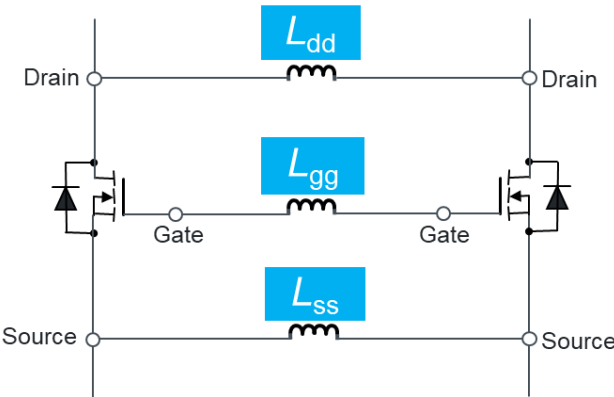


Fig.6 Definition of Each Parasitic Inductance L_{dd} , L_{gg} and L_{ss}

2-2. 模块布局中的 L_{dd} , L_{gg} , L_{ss}

本节以 Fig.7 的模块布局为例，说明布局的哪个部分相当于上述 Fig.6 的 L_{dd} , L_{gg} , L_{ss} 。这里以高边为例进行说明，低边的方式也是一样的。图中连接各元件的黑线表示接合线。另外，为了简单易懂的说明，省略了栅极驱动布线的负侧 (以后的布局图也一样)。

Fig.7 右侧的图中， L_{gg} 用红色表示， L_{ss} 用蓝色表示， L_{dd} 用绿色表示的部分，相当于各寄生电感。 L_{gg} 几乎和导线的寄生电感相等。 L_{ss} 是连接元件的各导线，以及连接它们的铜箔部的合成电感， L_{dd} 是绕过栅极引脚的上旋和下旋两路合成电感。

SiC MOSFET 元件中，一般的各电极 (Gate, Drain, Source) 的配置如图 Fig.8 所示。

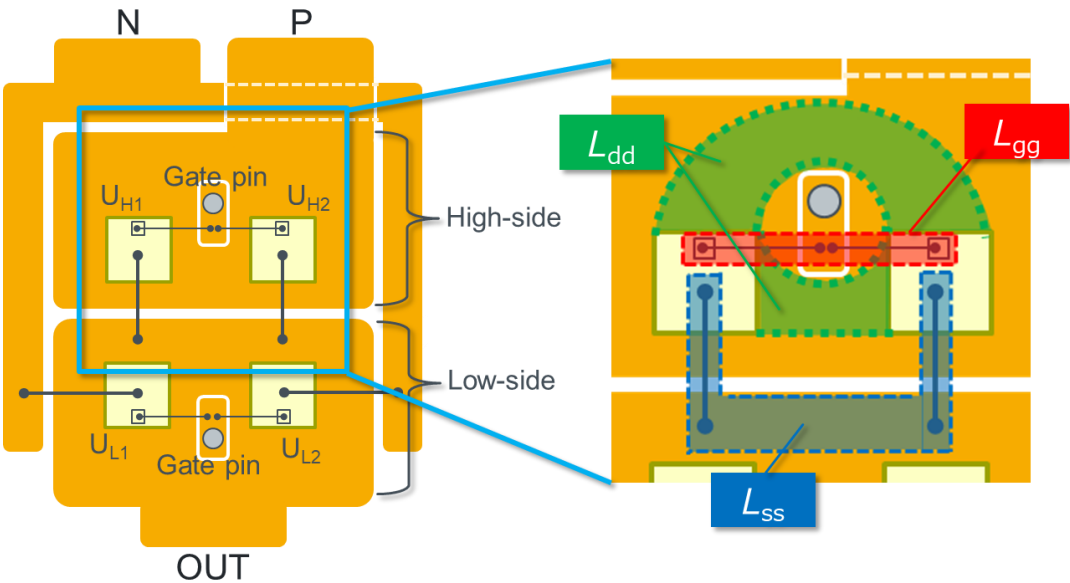


Fig.7 Example of Each Parasitic Inductances on an actual Module Layout

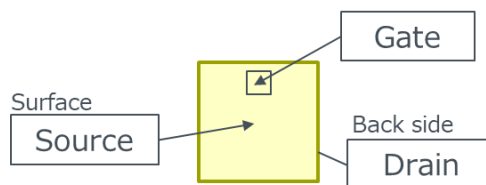


Fig.8 Typical Electrode Arrangement in a SiC MOSFET Die

3. 总结

- 为了抑制振荡，只要“增加相位裕量，降低增益”就可以了。但是，作为根本对策，“增加相位裕量”是最有效的（因为 ω_{p2} 会产生2次延迟的增益峰值，很难降低增益）。
- 衡量“相位裕量”的指标是“ ω_{p2}/ω_z ”比。 ω_{p2}/ω_z 比越大，相位裕量越大，越稳定。
- 为了增加 ω_{p2}/ω_z 比来提高相位裕量，“ C_{gd} 和 L_{gg} 大， C_{ds} 和 L_{ss} 相反小”就可以了。
- C_{gd} 和 C_{ds} 是元件的寄生电容，所以很难从后面进行调整。因此，为了增加相位裕量，适当地设计模块的各寄生电感（即布局）是重要的。

4. 参考文献

[1] “Simplified model analysis of self-excited oscillation and its suppression in a high-voltage common package for Si-IGBT and SiC-MOS”

IEEE Transactions on Electron Devices, Vol. 65, No. 3, pp.1063-1071, 2018.f

Katsuaki Saito, Tomoyuki Miyoshi, Daisuke Kawase, Seiichi Hayakawa, Toru Masuda, Yasushi Sasajima.

[2] “SiC MOS power module in direct pressed die technology and some challenges for implementation”

2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD), pp.364-367, 2020.

Igor Kasko, Sven E. Berberich, Matthias Spang, Stefan Oehling

[3] “Simplified Open-Loop Transfer Functions to Analyze Influential Parasitic Parameters for Oscillation Caused by Parallel Connected Transistors”

2023 35th International Symposium on Power Semiconductor Devices and ICs (ISPSD)

Hiroto Sakai, Yuta Okawauchi, Shinji Yato, Hideo Araki, Takayuki Atago, Ken Nakahara / ROHM Co., Ltd

注 意 事 项

- 1) 本资料中的内容旨在介绍ROHM集团(以下简称“ROHM”)的产品。在使用ROHM产品之前,请务必另行确认最新版的技术规格书或产品规格书。
- 2) ROHM的产品是面向普通电子设备(AV设备、OA设备、通信设备、家电产品、娱乐设备等)或技术规格书中指定的应用领域而设计和制造的。因此,如果要在要求极高可靠性、产品故障或误动作可能会危及人的生命、造成人身危害或损害,或可能造成其他严重损害的设备或装置(包括医疗设备、运输设备、交通设备、航空航天设备、核电控制装置、燃料控制、含汽车配件在内的车载设备、各种安全装置等)(以下简称“特殊用途”)中使用ROHM产品,请事先咨询ROHM销售部门。如果未经ROHM事先书面同意而将ROHM产品用于特殊用途,因此造成的客户或第三方的任何损害,ROHM不承担任何责任。
- 3) 含有半导体的电子产品存在一定的误动作或故障概率。客户有责任采取Fail Safe设计等安全对策,来避免万一发生误动作或故障时对人的生命、身体或财产造成危害或损害。
- 4) 本资料中出现的应用电路示例和常数等信息仅用于说明ROHM产品的标准工作和使用方法,并非明示保证或默示保证在实际应用设备中的工作。因此,在客户设备的设计过程中使用这些电路、常数以及相关信息时,请结合各种外部条件自行判断并对自己的判断负责。对于因使用这些数据和信息造成的客户或第三方的任何损害,ROHM不承担任何责任。
- 5) 向海外出口或提供ROHM产品和本资料中的技术时,请遵守《外汇及外国贸易法》、《美国出口管制条例》等适用的出口相关法律法规,并根据这些法律法规中的规定办理必要的手续。
- 6) 本资料中的应用电路示例等技术信息和各种数据仅为示例,并非保证不侵犯与这些内容相关的第三方的知识产权及其他权利。另外,对于本材料中的信息,ROHM并未明示或默示同意客户可以实施、使用或利用ROHM或第三方拥有或管理的知识产权以及其他权利。
- 7) 未经ROHM事先书面同意,严禁转载或复制本资料的全部或部分内容。
- 8) 本资料中的内容为截至本资料发行之时的信息,如有更改,恕不另行通知。在购买和使用ROHM产品之前,请通过ROHM销售部门确认最新信息。
- 9) ROHM不保证本资料中的信息无误。万一客户或第三方因本资料中的信息错误而受损,ROHM不承担任何责任。



Thank you for your accessing to ROHM product informations.
More detail product informations and catalogs are available, please contact us.

ROHM Customer Support System

<https://www.rohm.com.cn/contactus>